

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-22139

(P2000-22139A)

(43) 公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 29/78

識別記号

F I  
H 0 1 L 29/78

テーマコード(参考)

3 0 1 G 5 F 0 4 0

審査請求 未請求 請求項の数 5 F D (全 10 頁)

(21) 出願番号 特願平10-199590

(22) 出願日 平成10年6月30日 (1998.6.30)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 八木下 淳史

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 須黒 恭一

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

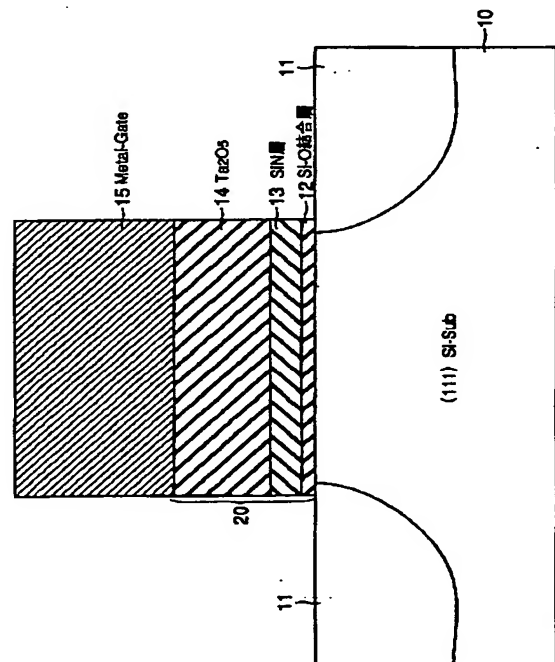
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 MOSFETのゲート絶縁膜に高誘電体又は強誘電体を用いつつ、ゲート絶縁膜のシリコン酸化膜換算実効膜厚を薄くしながらも、リーク電流を抑制する。

【解決手段】 (111) シリコン基板10上のソースドレイン領域11に挟まれた領域に、ゲート絶縁膜20を介してメタルゲート電極15が形成されている。そして、ゲート絶縁膜20が、(111) シリコン基板10の最表面のシリコン原子に酸素が結合して形成された単層のSi-O結合層12と、シリコン窒化膜13、Ta<sub>2</sub>O<sub>5</sub> 14を含む積層膜で構成されている事である。



1

## 【特許請求の範囲】

【請求項1】(111)シリコン基板上に形成されたMOSFETを含む半導体装置であって、

前記MOSFETのゲート絶縁膜は、前記シリコン基板の最表面のシリコン原子と酸素原子とが結合した単層のSi-O結合層と、このSi-O結合層上に形成され、高誘電体又は強誘電体からなる絶縁層とを含んで形成されていることを特徴とする半導体装置。

【請求項2】前記MOSFETのゲート長は0.85μm以下であり、前記ゲート絶縁膜のシリコン酸化膜換算実効膜厚は2.6nm以下、前記絶縁層中のSi濃度が0.1atom%未満であることを特徴とする請求項1に記載の半導体装置。

【請求項3】第1導電型の(111)シリコン基板上の所定領域にダミーゲートを形成する工程と、

前記ダミーゲートをマスクにして、前記シリコン基板の表面に第2導電型の不純物を導入し、ソース・ドレイン領域を形成する工程と、

前記シリコン基板上に前記ダミーゲートを覆うように層間絶縁膜を形成する工程と、

前記層間絶縁膜の表面を平坦化すると共に、前記ダミーゲートを露出させる工程と、

前記ダミーゲートを選択的に除去することによって、溝部を形成する工程と、

前記溝部の底面に露出する前記シリコン基板の最表面のシリコン原子と酸素原子とが結合した単層のSi-O結合層を形成する工程と、

前記Si-O結合層上に、高誘電体又は強誘電体からなる絶縁層を形成する工程と、

前記溝部にゲート電極を埋め込み形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】前記絶縁層の形成後、全てのプロセスは600℃以下の温度で行うことを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】前記ダミーゲートを形成する工程の後、前記ソースドレイン領域となる領域の前記シリコン基板上に自己整合的にシリサイドを形成することを特徴とする請求項3に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ゲート絶縁膜の薄膜化を図ったMOSFETを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】設計寸法0.1μm以下の微細トランジスタのゲート絶縁膜厚としては、3nm以下が要求される。この膜厚領域では、従来の熱酸化膜ではリーク電流が大きくて用いることができない。そのため、Ta<sub>2</sub>O<sub>5</sub>等の高誘電体膜をゲート絶縁膜に適用することが提案されている。

2

【0003】しかしながら、MOSFETのゲート絶縁膜にTa<sub>2</sub>O<sub>5</sub>等の高誘電体膜を用いる場合、下地(Si表面とTa<sub>2</sub>O<sub>5</sub>膜の間)に、無視できない厚さのSiO<sub>2</sub>層又はシリコン窒化膜(SiN)層を形成する必要がある、ゲート絶縁膜の実効酸化膜厚(T<sub>eff</sub>)を小さくできないという問題があった。

【0004】Si表面にSiO<sub>2</sub>層を形成する理由は、界面準位の少ない良好な界面を形成するためである。また、その上に窒化シリコン膜(SiN)層を形成する場合が多かった。その理由は、Siが下地からTa<sub>2</sub>O<sub>5</sub>膜中へ拡散するのを防止するためと、Ta<sub>2</sub>O<sub>5</sub>とSiO<sub>2</sub>が反応するのを防ぐためである。

【0005】

【発明が解決しようとする課題】上述したように、ゲート絶縁膜の一部にTa<sub>2</sub>O<sub>5</sub>膜を用い、ゲート絶縁膜の実効酸化膜厚を小さくしようとしても、界面準位の小さい良好な界面を得るためにSiO<sub>2</sub>層を形成する必要がある、実効酸化膜厚を小さくすることができないという問題があった。

【0006】本発明の目的は、MOSFETのゲート絶縁膜の一部に高誘電体又は強誘電体膜を用いつつ、ゲート絶縁膜の実効酸化膜厚を薄くしながらも、リーク電流の抑制を図り得る半導体装置及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】【構成】本発明は、上記目的を達成するために以下のように構成されている。

(1) 本発明(請求項1)の半導体装置は、(111)シリコン基板上に形成されたMOSFETを含む半導体装置であって、前記MOSFETのゲート絶縁膜は、前記シリコン基板の最表面のシリコン原子と酸素原子とが結合した単層のSi-O結合層と、このSi-O結合層上に形成され、高誘電体又は強誘電体からなる絶縁層とを含んで形成されていることを特徴とする。

【0008】本発明の好ましい実施態様を以下に示す。

【0009】前記MOSFETのゲート長は0.85μm以下であり、前記ゲート絶縁膜のシリコン酸化膜換算実効膜厚は2.6nm以下、前記絶縁層中のSi濃度が0.1atom%未満である。なお、より好ましくは、前記絶縁層中のSi濃度が0.001atom%未満である。

【0010】前記Si-O結合層上に前記絶縁層が直接形成されている。

(2) 本発明(請求項3)の半導体装置の製造方法は、第1導電型の(111)シリコン基板上の所定領域にダミーゲートを形成する工程と、前記ダミーゲートをマスクにして、前記シリコン基板の表面に第2導電型の不純物を導入し、ソース・ドレイン領域を形成する工程と、前記シリコン基板上に前記ダミーゲートを覆うように層間絶縁膜を形成する工程と、前記層間絶縁膜の表面

## 3

を平坦化すると共に、前記ダミーゲートを露出させる工程と、前記ダミーゲートを選択的に除去することによって、溝部を形成する工程と、前記溝部の底面に露出する前記シリコン基板の最表面のシリコン原子と酸素原子とが結合した単層のSi-O結合層を形成する工程と、前記Si-O結合層上に、高誘電体又は強誘電体からなる絶縁層を形成する工程と、前記溝部にゲート電極を埋め込み形成する工程とを含むことを特徴とする。

【0011】本発明の好ましい実施態様を以下に示す。

【0012】前記絶縁層の形成後、全てのプロセスは600℃以下の温度で行う。

【0013】前記ダミーゲートを形成する工程の後、前記ソースドレイン領域となる領域の前記シリコン基板上に自己整合的にシリサイドを形成する。

【0014】前記Si-O結合層の形成は、前記凹部底面の前記シリコン基板表面の自然酸化膜や化学的に形成された酸化膜を除去する工程と、前記シリコン基板に対して、ラジカル酸素を照射する工程とを含む。

【0015】前記Si-O結合層の形成は、前記凹部底面の前記シリコン基板表面の自然酸化膜や化学的に形成された酸化膜を除去する工程と、前期凹部底面のシリコン基板上に1nm程度のSiO<sub>2</sub>膜を形成する工程と、600℃以下で前記SiO<sub>2</sub>膜の表面に素子ラジカルを照射することによって、該SiO<sub>2</sub>膜の表面を窒化する工程とを含む。

【0016】〔作用〕本発明は、上記構成によって以下の作用・効果を有する。

【0017】シリコンの(111)面のシリコン原子に対しては酸素が制御性良く均一に結合するため、単層のSi-O結合層であっても、界面準位が小さい良好な界面を得ることができる。従って、ゲート絶縁膜の実効酸化膜厚を小さくすることができる。

【0018】又、本発明の半導体製造方法によれば、ソース・ドレイン領域の形成後に、ゲート電極を形成するので、ゲート電極にAlなどのメタル電極材を用いることが可能となる。

【0019】シリサイド(CoSi<sub>2</sub>など)は、シリコン結晶と格子定数が近いので、エピタキシャル成長しやすい。しかし、シリサイドの成長初期には、CoSi<sub>2</sub>と格子定数が異なるCoSiやCo<sub>2</sub>Siなどが成長するため、シリコンの(100)面上では単結晶化しにくく、多結晶となる。

【0020】(100)面に対し、シリコンの(111)面では、Siボンドが多数供給されるため、成長の初期からシリサイドの単結晶が成長しやすい。従って、均一で低抵抗なシリサイド膜の形成が容易となる。

【0021】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【0022】〔第1実施形態〕図1は、本発明の第1実

## 4

施形態に係わる半導体装置の概略構成を示す断面図である。本発明の半導体装置においては、(111)シリコン基板10上のソースドレイン領域11に挟まれた領域にゲート絶縁膜20を介してメタルゲート電極15が形成されている。

【0023】そして、本発明の特徴は、ゲート絶縁膜20が、(111)シリコン基板10の最表面のシリコン原子に酸素が結合して形成された単層のSi-O結合層12と、シリコン窒化膜(Si-N)13、高誘電体膜層(Ta<sub>2</sub>O<sub>5</sub>等)14を含む積層膜で構成されている事である。

【0024】図2に示すように、(111)面方位のSi基板10表面には、規則正しくシリコン原子の結合手が配列しているので、制御性良くSi-O結合層11を形成することができる。したがって、界面準位の少ない良好な界面を維持しつつSiO<sub>2</sub>層を極限まで薄くすることができる。

【0025】次に、本発明を適用したMOSFETの製造工程について図3~7の工程断面図を参照して説明する。

【0026】先ず、図3(a)に示すように、(111)面方位の半導体シリコン基板10表面の素子分離領域に深さ200nm程度の溝を形成する。そして、溝の内壁を薄く酸化した後、例えばTEOS系酸化膜を埋め込み形成することにより、トレンチ分離(STI:Shallow Trench Isolation)のための素子分離絶縁膜31を形成する。さらに、ウェルやチャネル形成用のイオン注入を行った後、基板10の表面には6nm程度の厚さの熱酸化膜32を形成しておく。

【0027】次いで、図3(b)に示すように、ダミーゲート材料として、LPCVD法によりポリシリコン膜33<sub>1</sub>とシリコン窒化膜33<sub>2</sub>をどちらも150nm程度順次積層形成する。

【0028】次いで、図3(c)に示すように、光リソグラフィまたはEB描画により、ゲート形成予定領域にレジストパターン(不図示)を形成し、RIE法を用いてゲート形成予定領域以外のシリコン窒化膜33<sub>2</sub>及びポリシリコン膜33<sub>1</sub>をエッチング除去し、ダミーゲート33を形成する。そして、レジストパターンを除去する。

【0029】次いで、図4(d)に示すように、ポリシリコン膜33<sub>1</sub>の表面に厚さ6nm程度の酸化膜35を熱酸化により形成する。次いで、図4(e)に示すように、ダミーゲート33をマスクとしてイオン注入を行ってn-拡散層36を形成する。注入条件は、例えばAs、15keV、3×10<sup>14</sup>cm<sup>-2</sup>である。CMOSを形成する場合は、リソグラフィーによりn型不純物とp型不純物とを打ち分ける。

【0030】次いで、図4(f)に示すように、シリコン窒化膜を70nm程度堆積した後全面RIEすること

5

によって、ダミーゲート33の側面に側壁絶縁膜37を形成する。次いで、図5(g)に示すように、ダミーゲート33及び側壁絶縁膜37をマスクとしてイオン注入を行うことにより、 $n^+$ 拡散層36より $n$ 型不純物が高濃度にドーパされた $n^+$ 拡散層38を形成する。注入条件は、例えばAs、45keV、 $3 \times 10^{15} \text{cm}^{-2}$ である。CMOSを形成する場合は、リソグラフィにより $n$ 型不純物と $p$ 型不純物とを打ち分ける。なお、ソース/ドレイン拡散層の活性化アニールは、注入直後每回行なっても良いし、全てのイオン注入が終了したのち、一度で行なっても良い。

【0031】次いで、図5(h)に示すように、LPCVDによりTEOS系酸化膜39を全面に350nm程度堆積する。次いで、図5(i)に示すように、CMP法によりTEOS系酸化膜39の表面を平坦化することによって、層間絶縁膜39を形成する。このとき、シリコン窒化膜32及びシリコン窒化膜からなる側壁絶縁膜37がCMPのストッパーとなって、ダミーゲート33が露出する。次いで、図6(j)に示すように、ホットリン酸を用いたエッチングを行って、ダミーゲート33のシリコン窒化膜32を選択的に除去する。このとき側壁絶縁膜37のシリコン窒化膜の上部もエッチングされるため、側壁絶縁膜37の高さがやや低くなる。

【0032】次いで、図6(k)に示すように、CDE法によるダミーゲートのポリシリコン膜33の除去、HFを用いたウェットエッチングによるシリコン酸化膜32、35の除去を順次行うことにより、ゲート形成予定領域に溝部40を形成する。

【0033】次に、ゲート絶縁膜及びゲート電極を形成する。すでにソース/ドレインを(活性化を含めて)形成してあり、基本的にこの後には600℃以上の高温工程がないため、ゲート絶縁膜に $\text{Ta}_2\text{O}_5$ 膜や(Ba, Sr) $\text{TiO}_3$ などの高誘電体膜や強誘電体膜を使用することができる。

【0034】また、ゲート電極には金属材料を使用することができる。ゲート絶縁膜に高誘電体膜や強誘電体膜を使用した場合には、用いたゲート絶縁膜に応じてゲート電極材料を選ぶ必要があり、TiN, Al, W, Ru等が使用可能となる。また、ゲート絶縁膜とゲート電極材料の間にはバリアメタルとしてTiNやWN等の形成を行なうことが望ましい。

【0035】ここでは、ゲート絶縁膜に $\text{Ta}_2\text{O}_5$ 膜、ゲート電極にアルミニウム/TiNを用いた場合を説明する。

【0036】図6(l)に示すように、1度希釈したフッ酸又はフッ酸とフッ化アンモンの混合液又は無水弗酸蒸気などを用いて、溝部40に露出する(111)Si基板10の表面の自然酸化膜や化学的に形成された酸化膜を除去する。そして、Si基板10の表面に酸素ラジ

6

カルを照射し、単層(膜厚0.2~0.3nm程度)のSi-O結合層12を形成する。そして、引き続いてアンモニア、シラン等を用いてSiN層13を1.0nm程度(酸化膜換算膜厚で0.16nm)堆積形成する。更に全面CVD法により $\text{Ta}_2\text{O}_5$ 膜14を1nm程度(酸化膜換算膜厚)形成する。このようにすれば、ゲート絶縁膜の全膜厚は2nm(酸化膜換算膜厚)以下となる。

【0037】また、ゲート絶縁膜の別の形成方法としては、まず1nm程度の $\text{SiO}_2$ 膜を形成し、この表面を窒素ラジカルを使って低温(600℃以下)で窒化( $\text{N}_2$ プラズマ窒化)してもよい。SiN層が0.7nm程度形成されると、 $\text{SiO}_2$ 層は0.3nm程度となり、ほぼ1monolayerのSi-O結合層が実現される。その上にCVD法により $\text{Ta}_2\text{O}_5$ 膜14を1nm程度(酸化膜換算膜厚)形成すれば、ゲート絶縁膜厚は2nm(酸化膜換算膜厚)以下となる。

【0038】いずれにしても、(111)面方位のSi基板を用いている場合は、レイヤー制御性が高まり、1monolayerを実現しやすい。

【0039】次いで、ゲート電極としてバリアメタルTiN41とアルミニウム42をそれぞれ10nm、250nm程度堆積する。そして、図7(m)に示すように、CMP法によりアルミニウム42の表面を平坦化することによって、ゲート電極42を形成する。

【0040】その後は、通常のLSI製造プロセスと同様で、プラズマTEOSからなる層間絶縁膜43をCVDにより形成した後コンタクトホールを形成し、アルミニウムからなる上層配線44を形成する。

【0041】以上のように、本発明によれば、極限まで薄いゲート絶縁膜を制御性良く形成することが可能となり、トランジスタの高性能化を実現できる。

【0042】なお、上述した実施形態では、Si-O結合層と $\text{Ta}_2\text{O}_5$ 層との間にシリコン窒化膜を介挿させていたが、シリコン窒化膜を省いてSi-O結合層上に $\text{Ta}_2\text{O}_5$ 層を直接形成することも可能である。

【0043】一般に、 $\text{Ta}_2\text{O}_5$ 膜の成膜後、 $\text{Ta}_2\text{O}_5$ 膜中のCなどの不純物の除去及び欠損する酸素を補充するために、通常アニールを行う。このアニール工程で、シリコン基板中のシリコン原子が $\text{Ta}_2\text{O}_5$ 中に拡散することを防ぐためにシリコン窒化膜を形成している。

【0044】ところが、アニールの温度を適宜選択することによって、シリコン原子の拡散を抑制することができ、シリコン窒化膜を必要としなくなるのである。以下に、そのことについて説明する。

【0045】図8は、TiN/ $\text{Ta}_2\text{O}_5$ /NO膜/Si基板の積層構造における、リーク電流のアニール温度依存性を示す特性図(J. Electrochem. Soc. Vol. 143, No. 3, P977(1996))である。図中(a)は0.5 Torr

7

の酸素雰囲気中で10分間アニールを行ったサンプル、図中(b)は上述したアニール処理の後0.3 Torrの酸素プラズマ中で400度10分間のアニールを行ったサンプルのリーク電流の特性図である。

【0046】プラズマアニール処理を行ったサンプルはリーク電流が抑制され、 $Ta_2O_5$ 膜の改質効果が高いことが分かる。又、どちらのサンプルも650℃を越える高温アニールを行うと、シリコン原子が $Ta_2O_5$ 膜中に拡散し、リーク電流が増えてしまうことが確認されている。

【0047】従って、 $Ta_2O_5$ 成膜後のプロセスを600℃以下の温度で行い、アニール条件を最適化すれば、 $Ta_2O_5$ 膜のリーク電流を抑制することができる。よって、シリコン原子の $Ta_2O_5$ 膜中への拡散が抑制されるので、シリコン窒化膜が不要となる。

【0048】またさらに、 $Ta_2O_5$ 膜中のSiの濃度をSIMSによって分析した結果を図9に示す。図9(a)に示したサンプルAは酸素雰囲気中で700度で10分間アニールを行ったもの、図9(b)に示したサンプルBは酸素プラズマ中で5分間アニールを行ったものである。

【0049】サンプルAの $Ta_2O_5$ 膜中のSi濃度は0.1 atom%程度、一方サンプルBのSi濃度は0.001%以下(検出限界以下)である。

【0050】サンプルAとサンプルBとでは、図8に示すように、リーク電流が3桁程度異なるので、サンプルAのアニール条件は、適用不可であることは明白である。従って、 $Ta_2O_5$ 膜中のSi濃度は、0.1 atom%未満にすることが、必須である。

【0051】また、ショートチャネル効果の低減、高駆動力の実現、しきい値のバラツキの低減、並びにカットオフ特性向上(S-factor改善)のために、ゲート絶縁膜の膜厚を薄くしなければならない。そして、ゲート長が0.085 μm以下のMOSFETの場合、ゲート絶縁膜の膜厚は2.6 nm(酸化膜換算実効膜厚)以下にしなければ、十分な性能を実現することができない。

【0052】従って、ゲート長が0.085 μm以下のMOSFETには、前記ゲート絶縁膜の膜厚が2.6 nm(酸化膜換算実効膜厚)以下、且つ $Ta_2O_5$ 膜中のSi濃度が0.1 atom%以下であることが要求される。

【0053】[第2実施形態] 図10~12までは本発明の第2実施形態を説明するためのMOSFET製造工程断面図である。なお、図3~7と同一なものには同一符号を付し、その説明を省略する。

【0054】先ず、図10(a)に示す構造は、図3(c)に示した構造に対し、シリコン窒化膜を70 nm程度堆積し、全面RIEすることによって、ダミーゲート33の側面に側壁絶縁膜37を形成したものである。

8

【0055】次いで、図10(b)に示すように、(111)シリコン基板10のソース/ドレイン領域上に単結晶シリコンをエピタキシャル成長させ、エレベイテッドソース/ドレイン領域を形成する。詳しく述べると、例えばHFによるウェット処理でSi表面を露出させ、 $H_2$ アニールの後、エピタキシャル成長によりソース/ドレインを50 nm程度持ち上げる。

【0056】その後イオン注入によりエレベイテッドソース/ドレイン領域にドーピング行ない、固相拡散により $n^+$ 拡散層81を形成する。注入条件は、例えばAs、45 keV、 $3 \times 10^{15} \text{ cm}^{-2}$ である。CMOSを形成する場合は、リソグラフィにより $n$ 型不純物と $p$ 型不純物を打ち分ける必要がある。

【0057】そして、全面にCoを堆積してアニールすることにより、持ち上げられたエレベイテッドソース/ドレインとCoとを反応させて、コバルトシリサイド( $CoSi_2$ )82を形成する。なお、コバルトシリサイド以外に、 $NiSi_2$ 、 $PtSi$ 、 $Pd_2Si$ 等のメタルシリサイドを形成することが可能である。(111)面方位のSi表面では、これらシリサイドは単結晶になりやすく、均一で低抵抗な膜を形成できる。

【0058】次いで、図10(c)に示すように、LPCVDによりTEOS系酸化膜39<sub>1</sub>を全面に350 nm程度堆積する。そして、図11(d)に示すように、CMP法によりTEOS系酸化膜39<sub>1</sub>の表面を平坦化し、層間絶縁膜39を形成する。このとき、シリコン窒化膜33<sub>2</sub>及び側壁絶縁膜37がCMPのストッパーとなる。

【0059】次いで、図11(e)に示すように、ホットリン酸を用いたエッチングを行って、ダミーゲート33のシリコン窒化膜33<sub>2</sub>を選択的に除去する。このとき側壁絶縁膜37のシリコン窒化膜の上部もエッチングされるため、側壁絶縁膜37の高さがやや低くなる。

【0060】次いで、図11(f)に示すように、CDE法によるダミーゲートのポリシリコン膜33<sub>1</sub>の除去、HFによるウェットエッチングを行なってシリコン酸化膜32、35を除去することにより、ゲート形成予定領域に溝部40を形成する。次いで、図12(g)に示すように、第1実施形態に示した形成方法と同様な手法を用いて、Si-O結合層12、SiN層13、 $Ta_2O_5$ 膜14、TiN41及びアルミニウム42<sub>1</sub>を形成する。そして、図12(h)に示すように、CMP法を用いてアルミニウム42<sub>1</sub>の表面を平坦化して、ゲート電極42を形成する。

【0061】その後は、通常のLSI製造プロセスと同様で、図12(i)に示すように、プラズマTEOSからなる層間絶縁膜43をCVDにより形成した後コンタクトホールを形成し、アルミニウムからなる上層配線44を形成する。

【0062】以上のように、本発明によれば、極限まで

薄いゲート絶縁膜を制御性良く形成することが可能となり、さらにまた、ソース／ドレイン上に高品質のメタルシリサイドを制御性良く形成することができるため、トランジスタの高性能化を実現できる。

【0063】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、ダマシンプロセスを用いてゲート電極の形成を行っていたが、通常のMOSFETの製造工程を用いても作製することができる。

【0064】又、上記実施形態では、絶縁層としてTa<sub>2</sub>O<sub>5</sub>膜を用いたが、他の高誘電体や強誘電体を用いることも可能である。

【0065】その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0066】

【発明の効果】以上説明したように本発明によれば、SiO<sub>2</sub>層の代わりに単層のSi-O結合層を用いることによって、ゲート絶縁膜の実効酸化膜厚を薄くしつつ、リーク電流の抑制を図ることが可能となる。

【図面の簡単な説明】

【図1】第1実施形態に係わる半導体装置の概略構成を示す断面図。

【図2】第1実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図3】第1実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図4】第1実施形態に係わる半導体装置の製造工程を示す工程断面図。

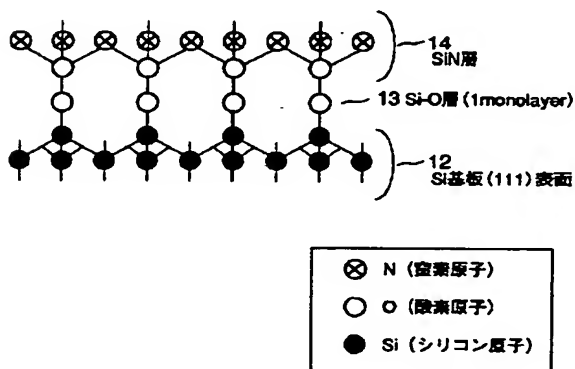
【図5】第1実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図6】第1実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図7】第1実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図8】TiN/Ta<sub>2</sub>O<sub>5</sub>/NO膜/Si基板の積層 \*

【図2】



\*構造における、リーク電流のアニール温度依存性を示す特性図。

【図9】Ta<sub>2</sub>O<sub>5</sub>膜中のSi濃度を示す特性図。

【図10】第2実施形態に係わる半導体装置の製造工程を示す工程断面図。

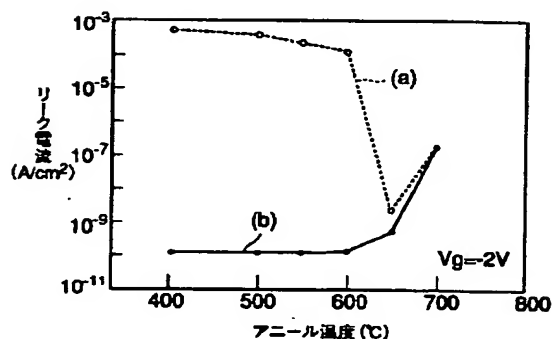
【図11】第2実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図12】第2実施形態に係わる半導体装置の製造工程を示す工程断面図。

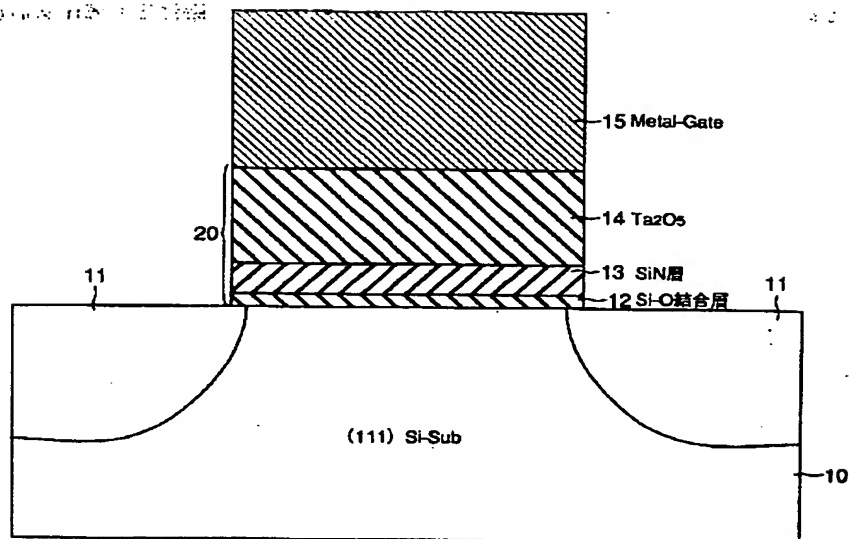
【符号の説明】

- 10…(111)シリコン基板
- 11…ソース・ドレイン領域
- 12…Si-O結合層
- 13…SiN膜
- 14…Ta<sub>2</sub>O<sub>5</sub>膜
- 15…メタルゲート電極
- 31…素子分離絶縁膜
- 32…熱酸化膜
- 33…ダミーゲート
- 33<sub>1</sub>…ポリシリコン膜
- 33<sub>2</sub>…シリコン窒化膜
- 35…酸化膜
- 36…n<sup>-</sup>拡散層
- 37…側壁絶縁膜
- 38…n<sup>+</sup>拡散層
- 39…層間絶縁膜
- 39<sub>1</sub>…TEOS系酸化膜
- 40…溝部
- 41…TiN
- 42…ゲート電極
- 42<sub>1</sub>…アルミニウム
- 43…層間絶縁膜
- 44…上層配線
- 81…n<sup>+</sup>拡散層
- 82…コバルトシリサイド

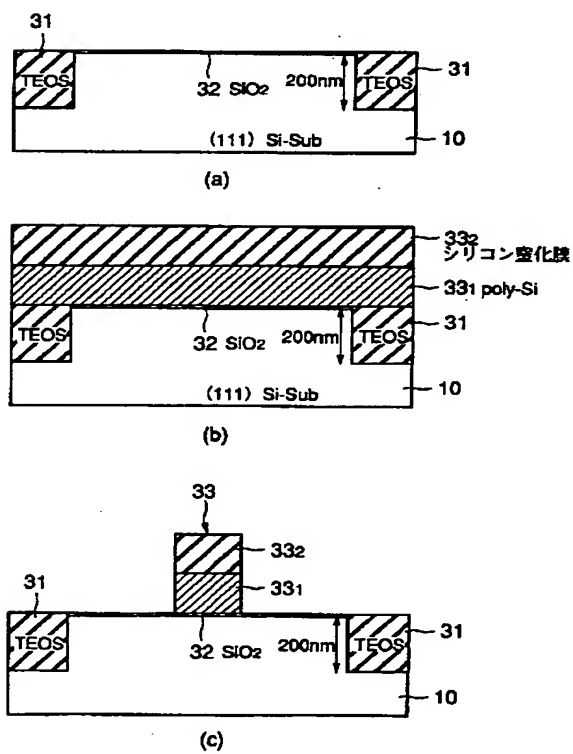
【図8】



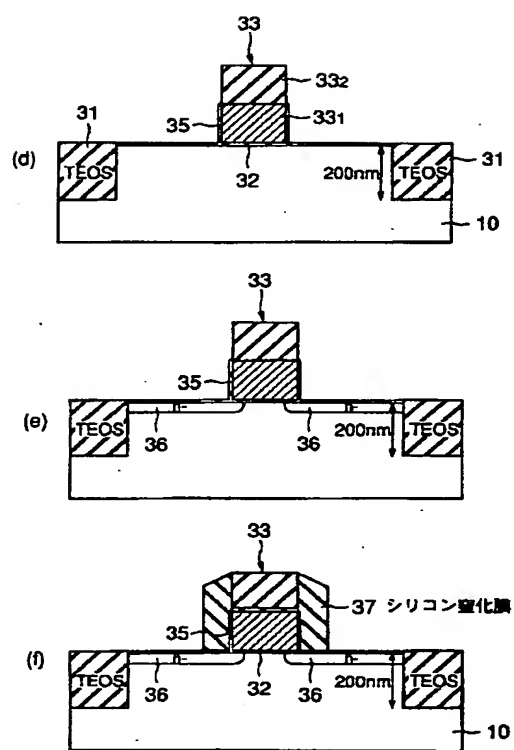
【図1】



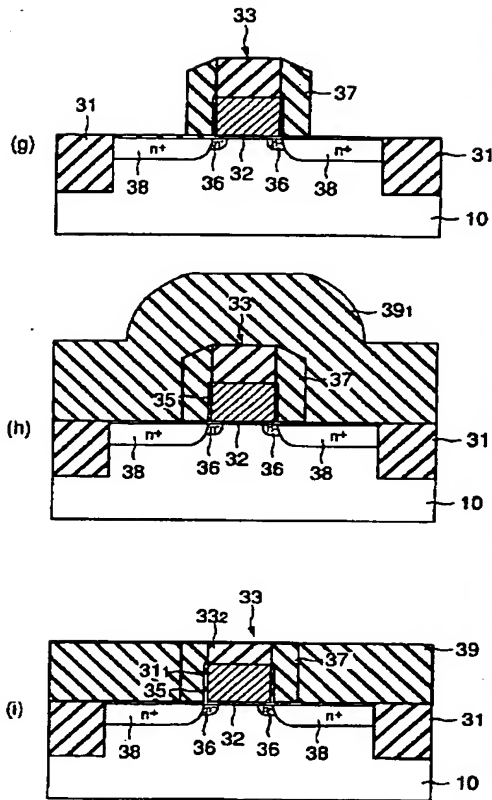
【図3】



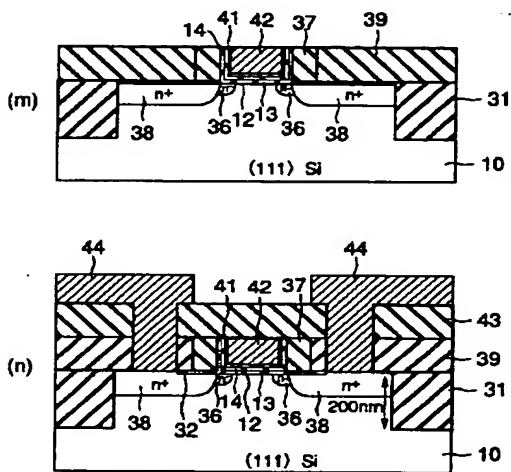
【図4】



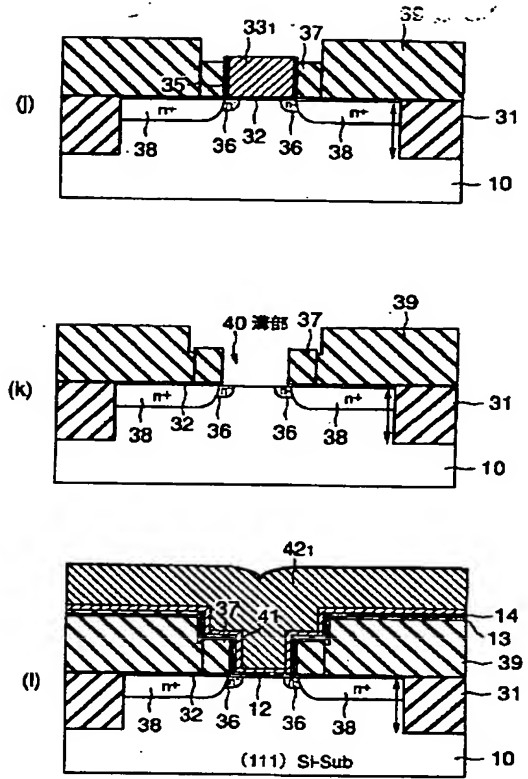
【図5】



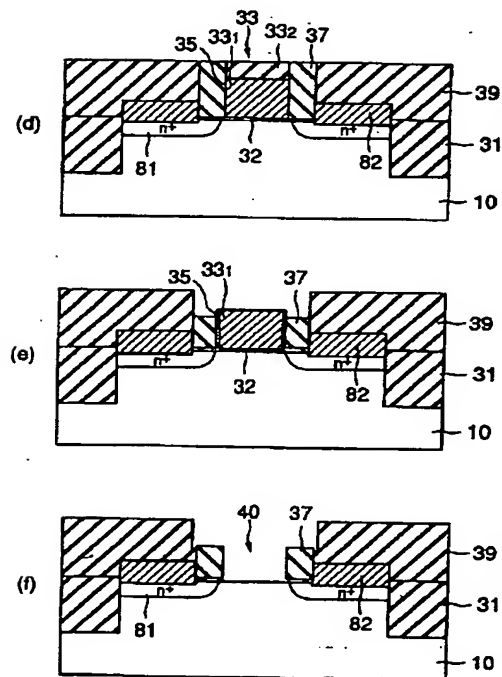
【図7】



【図6】



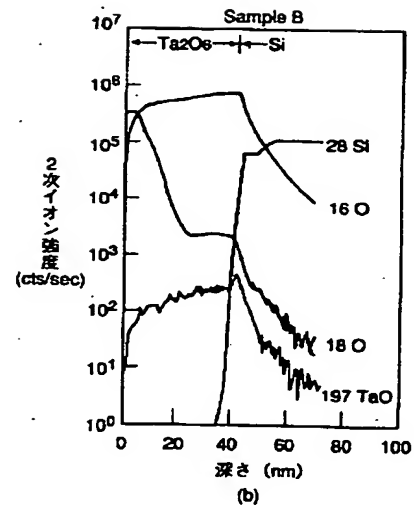
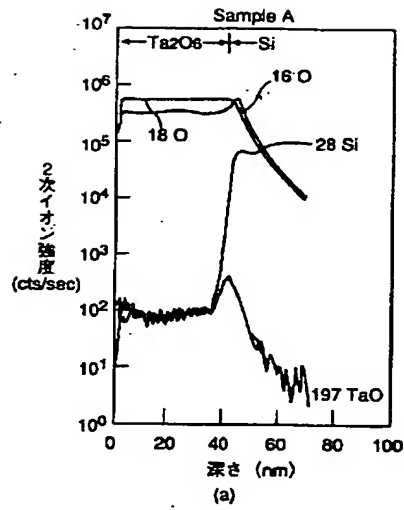
【図11】



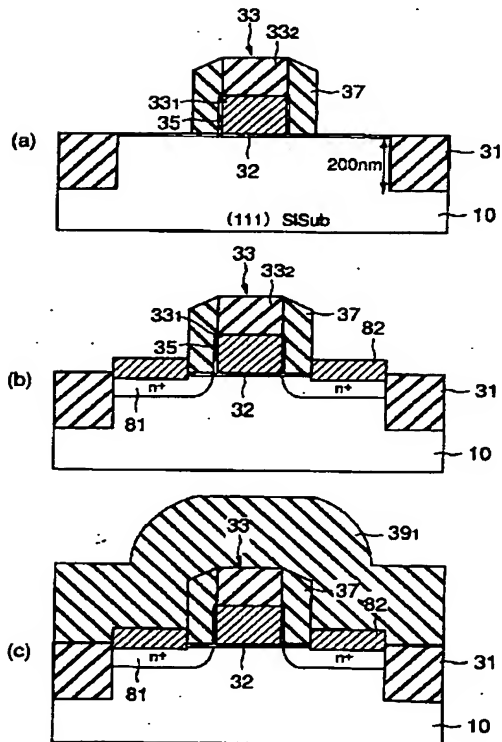


【図9】

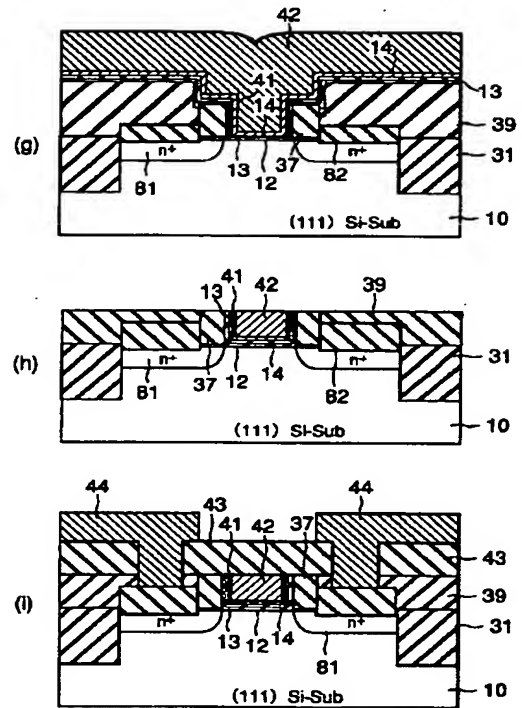
2.



【図10】



【図12】



## フロントページの続き

Fターム(参考) 5F040 DA00 DA13 DC01 EC01 EC04  
EC08 EC10 ED02 ED03 EF02  
EF11 EH01 EH02 EH05 EJ03  
EJ09 EK05 FA01 FA02 FB02  
FB05 FB07 FB08 FC02 FC06  
FC10 FC28